

COPYRIGHT 2005 DERWENT INFORMATION LTD

**TITLE:** Semiconductor device manufacture involves grinding element formation surface and reverse side of semiconductor chip by accommodating chip in holding jig

**PRIORITY-DATA:** 2001JP-0122058 (April 20, 2001)

Naito

**PATENT-FAMILY:**

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP <u>2002319558</u>	A October 31, 2002	N/A	007	H01L 021/304

102b-(7-8,10)

**INT-CL (IPC):** H01L021/304

**ABSTRACTED-PUB-NO:** JP2002319558A

**BASIC-ABSTRACT:**

**NOVELTY** - The grinding process of element formation surface and reverse side of semiconductor chip (20), is performed by accommodating the semiconductor chip in a holding jig (32).

**USE** - Used for manufacturing semiconductor chip.

**ADVANTAGE** - Since the chip is accommodated in the holding jig, the grinding of element formation surface and reverse side of the chip is performed accurately.

**DESCRIPTION OF DRAWING(S)** - The figure shows a section of wafer grinding apparatus. (Drawing includes non-English language text).

Semiconductor chip 20

Holding jig 32

DOCUMENT-IDENTIFIER: JP 2002319558 A

TITLE:

MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

PUBN-DATE:

October 31, 2002

INVENTOR-INFORMATION:

NAME

COUNTRY

NAITO, TETSUYA N/A

ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD N/A

APPL-NO: JP2001122058

APPL-DATE: April 20, 2001

INT-CL (IPC): H01L021/304

ABSTRACT:

PROBLEM TO BE SOLVED: To precisely and economically make a semiconductor chip thin by polishing its reverse surface.

SOLUTION: A chip tray 10 is manufactured by forming many storage grooves 12 each having a vacuum suction hole 13 and an escape groove 14 in a tray substrate 11 formed of a semiconductor wafer together by photolithography at a time with high precision; and semiconductor chips 20 having been diced are put in the respective storage grooves 12 of the chip tray 10, which is mounted on a wafer holding jig 32 of a wafer grinding device 30 instead of the wafer, so that the reverse surfaces of the semiconductor chips 20 are ground together. The escape grooves 14 eliminate variance in grinding pressure due to projections of bump electrodes 21 of the semiconductor chips 20 and thickness control by the reverse-surface grinding under uniform, and high-precision machining size control can be exercised over the semiconductor chips 20 stored in the chip tray 10.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-319558

(P2002-319558A)

(43) 公開日 平成14年10月31日 (2002. 10. 31)

(51) IntCl.<sup>7</sup>

H 0 1 L 21/304

識別記号

6 3 1

F I

H 0 1 L 21/304

テーマコード (参考)

6 3 1

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願2001-122058(P2001-122058)

(22) 出願日 平成13年4月20日 (2001. 4. 20)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 内藤 哲也

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100080001

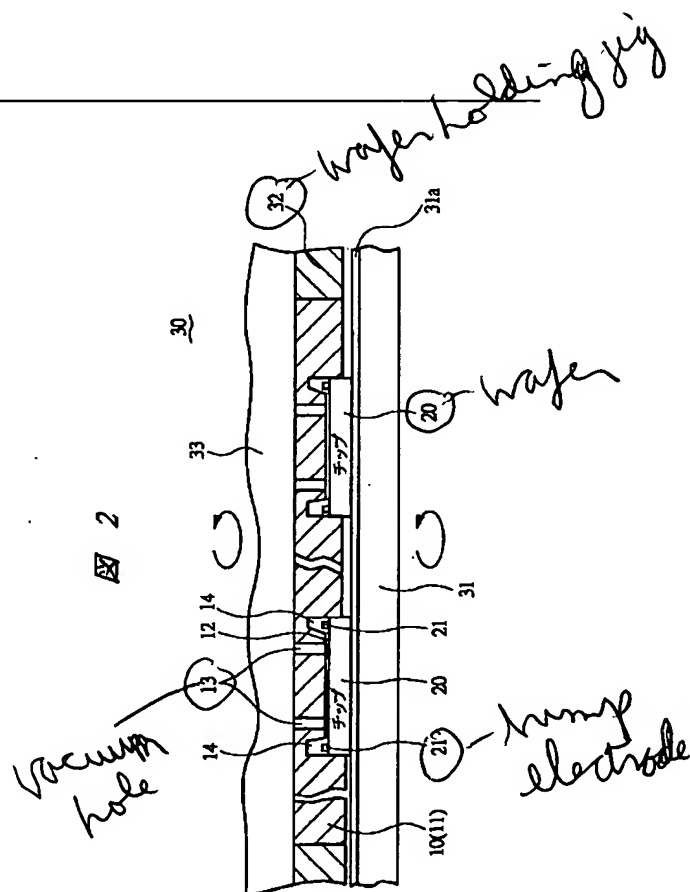
弁理士 筒井 大和

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 半導体チップの裏面研削による薄型化を精度よく、経済的に行う。

【解決手段】 半導体ウェハからなるトレイ基板11に、各々が真空吸着孔13および逃げ溝14が形成された多数の収納溝12をフォトリソグラフィ技術にて高精度に一括して形成することでチップトレイ10を製作し、このチップトレイ10の収納溝12の各々に、ダイシング後の半導体チップ20を個別に収納して、ウェハの代わりにウェハ研削装置30のウェハ保持治具32に装填することで、半導体チップ20の裏面研削を一括して行う。逃げ溝14により半導体チップ20のバンパ電極21の突起による研削圧のばらつきがなくなり、チップトレイ10に収納された複数の半導体チップ20に対して、均一かつ高精度な加工寸法制御での裏面研削による厚さ寸法制御が可能になる。



## 【特許請求の範囲】

【請求項1】 複数の半導体チップを保持治具に収納して当該半導体チップの素子形成面と反対側の裏面の研削を一括して実行する工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、前記保持治具は、複数の前記半導体チップの各々が収容される複数の収納溝が形成され、個々の前記収納溝には、前記半導体チップの前記素子形成面の凹凸部に対する逃げ溝と、前記半導体チップを真空吸着で前記10 収納溝内に保持するための真空吸着孔とを備えていることを特徴とする半導体装置の製造方法。

【請求項3】 請求項1または2記載の半導体装置の製造方法において、前記保持治具は、前記半導体チップを製造するウェハプロセスに用いられる半導体ウェハと同一の輪郭形状を備え、前記半導体ウェハの研削加工に用いられる研削装置にそのまま実装することで、複数の前記半導体チップの一括した研削加工を行うことを特徴とする半導体装置の製造方法。

【請求項4】 請求項2または3記載の半導体装置の製造方法において、前記保持治具は、前記半導体チップを20 製造するウェハプロセスに用いられる半導体ウェハからなり、前記半導体ウェハの一主面に対するフォトリソグラフィにより、各々が前記逃げ溝および前記真空吸着孔を備えた複数の前記収納溝を一括して形成し、個々の前記保持溝に前記半導体チップが収容された前記保持治具をウェハ研削装置に装填することで複数の前記半導体チップの一括した裏面研削を行うことを特徴とする半導体装置の製造方法。

【請求項5】 請求項1、2、3または4記載の半導体装置の製造方法において、前記半導体チップは、前記素子形成面にバンパ電極を備えていることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造技術に関し、特に、ウェハバンピング技術等によりウェハ状態で素子形成面にバンパ電極等の凹凸が形成される半導体チップの薄型化等に適用して有効な技術に関する。

## 【0002】

【従来の技術】たとえば、実装対象機器の小型化等に伴って、半導体チップ上に形成されたバンパ電極等により直に対象物に実装するフリップチップ実装技術等においては、ダイシング前のウェハ状態において複数の半導体チップに対してバンパ電極を一括して形成するウェハバンピング技術が用いられる場合がある。

【0003】一方、実装対象物の一層の薄型化への要求に呼応して当該対象物に実装される半導体チップにも一層の薄型化が求められている。

【0004】半導体チップの薄型化には、ダイシング前のウェハ状態において素子形成面と反対側の裏面を研削してウェハの厚さ（すなわち半導体チップの厚さ寸法）を削減することが考えられる。

## 【0005】

【発明が解決しようとする課題】ところが、ウェハバンピング技術等により素子形成面側にバンパ電極が形成された半導体ウェハの裏面研削において、半導体ウェハの周辺部に位置する半導体チップでは、その外側にバンパ電極（隣接半導体チップ）が存在しないため、研削時における素子形成面側からの支持圧が不均一となり、ウェハ中央部等に位置する半導体チップに比較して研削後の厚さ寸法のばらつきが大きくなる、という技術的課題があった。

【0006】このような厚さ寸法のばらつきが大きい半導体チップをそのまま圧着実装すると、圧のかかり方が不均一となり、圧着不良や接続不良（非導通）の一因となり、実装工程における製品不良等を増加させる。

【0007】このような技術的課題は、たとえばメモリやロジック等を混載したシステムLSI等においても生じる。すなわち、メモリやロジックは製造プロセスにおける積層膜数等が異なるため、工程完了状態におけるメモリおよびロジックの各々の部位での厚さ寸法が異なるため、ウェハ状態で裏面研削を行った場合、上述と同様の技術的課題を生じる。

【0008】本発明の目的は、半導体チップの裏面研削による薄型化を精度よく行うことが可能な半導体装置の製造技術を提供することにある。

【0009】本発明の他の目的は、ウェハプロセスでのウェハ径等による制約を受けることなく、半導体チップの裏面研削による薄型化を精度よく行うことが可能な半導体装置の製造技術を提供することにある。

【0010】本発明の他の目的は、既存のウェハ研削装置等の設備を改変することなく、そのまま用いることで、低コストにて半導体チップの裏面研削による薄型化を精度よく行うことが可能な半導体装置の製造技術を提供することにある。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0013】本発明は、複数の半導体チップを保持治具に収納して当該半導体チップの素子形成面と反対側の裏面の研削を一括して実行する工程を含む半導体装置の製造技術を提供する。

【0014】より具体的には、一例として、半導体チップの製造に用いられる半導体ウェハからなる収納治具の

一主面に、フォトリソグラフィ等により、真空吸着孔および半導体チップの素子形成面側のパンプ電極等の凹凸に対する逃げ溝がそれぞれ形成された複数の収納溝を一括して形成し、個々の収納溝の内部にダイシング後の半導体チップを裏面側を露出させた状態で配列し、この半導体ウェハからなる収納治具を、ウェハ研削装置における、ウェハ保持治具に装填することで、ウェハ研削と同一の設備にて、多数の半導体チップの裏面研削を一括して行うものである。

【0015】その場合、収納溝の深さ寸法を、半導体チップの裏面研削の仕上がり寸法とほぼ等しく設定することで、前記収納治具としての前記半導体ウェハを反復して使用することが可能になる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しながら詳細に説明する。

【0017】図1は、本発明の一実施の形態である半導体装置の製造方法に用いられる収納治具の構成の一例を示す平面図、図2は、本実施の形態の収納治具を用いて本実施の形態の半導体装置の製造方法を実施するウェハ研削装置の構成の一例を示す断面図、図3は、本実施の形態の半導体装置の製造方法の作用の一例を示すフローチャート、図4は、本実施の形態の収納治具の製作方法の一例を工程順に示す断面図である。

【0018】まず、ウェハプロセスにて、図示しない半導体ウェハに所望の機能を有する半導体チップを一括して形成した後（ステップ101）、この半導体ウェハの素子形成面側にウェハバンピング技術による一括したパンプ電極21の形成後（ステップ102）、ダイシングにて、半導体ウェハを、各々がパンプ電極21を備えた複数の半導体チップ20に分割する（ステップ103）。

【0019】一方、ステップ101～103と並行して、半導体ウェハ等からなるトレイ基板11を準備し（ステップ104）、そのトレイ面にフォトリソグラフィ技術にて、以下のようにして加工を施すことで、チップトレイ10を製作する（ステップ105）。

【0020】すなわち、図1に例示されるように、本実施の形態の収納治具であるチップトレイ10は、たとえば半導体ウェハからなるトレイ基板11の一主面に、個々の半導体チップ20が収納される複数の収納溝12が配列形成されている。

【0021】なお、このトレイ基板11として用いられる半導体ウェハは、輪郭形状等を利用した治具として用いるため、半導体チップ20等の半導体装置の製造工程に用いられるような高価な良品ウェハを用いる必要はなく、半導体チップ20の製造用には不合格となった安価な不良品の半導体ウェハのうち、輪郭形状や厚さ等の外觀形状がチップトレイ10の素材として使用可能なものをそのまま用いることができる。

【0022】個々の収納溝12は、半導体チップ20が丁度納まる矩形的輪郭形状を呈しており、その内部には、当該収納溝12の内部に半導体チップ20を吸着固定するための複数の真空吸着孔13と、半導体チップ20に凹凸をなして形成されているパンプ電極21に対する逃げ溝14とが形成されている。

【0023】ここで、チップトレイ10における上述のような構造の収納溝12の形成方法の一例を、図4にて例示する。

【0024】すなわち、半導体ウェハからなるトレイ基板11の一主面に対して、真空吸着孔13の形成位置に開口部15aを有するように、フォトリソスト膜15を形成して（図4（a））、エッチングを行うことで、トレイ基板11を貫通する真空吸着孔13を形成する（図4（b））。

【0025】次に、逃げ溝14が形成する部位に開口部16aを有するようにフォトリソスト膜16を形成し（図4（b））、エッチングを行うことで、後述の収納溝12の深さよりも深い逃げ溝14を形成し（図4（c））、このフォトリソスト膜16を除去した後（図4（d））、収納溝12の形状の開口部17aを有するフォトリソスト膜17を形成し（図4（e））、半導体チップ20の厚さ寸法および研削代の寸法等に応じて設定される深さにエッチングを実行することで、収納溝12を形成した後、フォトリソスト膜17を除去する（図4（f））。

【0026】このように、ウェハプロセスにおけるフォトリソグラフィ技術を用いることで、複数の収納溝12およびその各々に付随する真空吸着孔13および逃げ溝14を、半導体チップ20の厚さ、パンプ電極21の高さ、輪郭寸法等に応じて、かつ精密な深さ制御にて形成することが可能である。

【0027】上述のようにして半導体チップ20およびチップトレイ10が準備されると、たとえば図2に例示されるようなウェハ研削装置30に両者を装着することで（ステップ106）、半導体チップ20の裏面研削加工による厚さ寸法の低減を行う（ステップ107）。

【0028】すなわち、ウェハ研削装置30は、表面に研削工具面31aを有し、回転するベースプレート31と、このベースプレート31に対向し、対向面にウェハ保持治具32を備え、ベースプレート31に対して回転する構造のプレッシャプレート33と、これらを駆動する図示しない駆動機構を備えている。

【0029】また、ウェハ保持治具32の開口部32aには、裏面側に位置するプレッシャプレート33に形成された図示しない真空吸着溝が露出している。

【0030】上述の、チップトレイ10の製作に用いられる半導体ウェハは、ウェハ保持治具32の開口部32aの輪郭形状と同じ輪郭形状を有するものが用いられる。

【0031】そして、チップトレイ10は、複数の収納溝12の各々に半導体チップ20が装填された状態で、半導体チップ20の収納面をベースプレート31の側に向けた姿勢で、ウェハ保持治具32の開口部32a内に装填される。この時、プレッシャプレート33に形成された図示しない真空吸着溝は、チップトレイ10の真空吸着孔13に連通し、チップトレイ10および半導体チップ20は、当該半導体チップの裏面（バンパ電極21の反対側）をベースプレート31の側に向けた姿勢で、真空吸着によりウェハ保持治具32に安定に保持された状態となる。

【0032】そして、ベースプレート31の研削工具面31aに対して、プレッシャプレート33による背後からの押圧力にて、チップトレイ10に収納された半導体チップ20の裏面を押圧しつつ、ベースプレート31およびプレッシャプレート33を相対的に回転させることで半導体チップ20の裏面の研削加工が行われる。

【0033】この時、チップトレイ10の収納溝12における逃げ溝14により、バンパ電極21等の突起部分に押圧力が作用しないので、収納溝12に保持された複数の半導体チップ20の各々には均一な押圧力が作用することとなり、チップトレイ10における収納位置に関係なく、高い均一性にて、半導体チップ20の裏面研削が可能になる。

【0034】こうして、裏面研削により厚さ寸法が低減された半導体チップ20は、パッケージング等の組み立て工程や、フリップチップボンディング等の実装工程に供される（ステップ108）。

【0035】以上説明したように、本実施の形態によれば、チップトレイ10に半導体チップ20を装填した状態で裏面研削することで、半導体チップ20の厚さ寸法のばらつきは、実質的にチップトレイ10の加工精度に依存することとなるが、上述の図4等に例示されるように、トレイ基板11として半導体ウェハを用い、半導体チップ20の製造工程でのウェハプロセスと同等の加工精度を有するフォトリソグラフィにて収納溝12等の加工を行うことで、当該ばらつきをサブ $\mu\text{m}$ 単位で制御可能であり、半導体チップ20の裏面研削による厚さ寸法の制御を高精度でかつ高い均一性をもって制御することが可能となる。

【0036】たとえば、裏面研削後の半導体チップ20の仕上がり寸法が $400\mu\text{m}$ の場合、従来技術のようにウェハ状態での裏面研削では中央部と周辺部とで $50\mu\text{m}$ 以上の仕上がり厚さのばらつきがあったものが、本実施の形態のように、チップトレイ10を用いて、チップ状態で複数の半導体チップ20を一括して裏面研削する場合には、裏面研削後の半導体チップ20の仕上がり寸法のばらつきが $20\mu\text{m}$ 以下に制御できることが判明している。

【0037】また、ダイシング後の半導体チップ20の

状態でチップトレイ10に装填して裏面研削を行うので、当該半導体チップ20の製造におけるウェハプロセスにて用いられる半導体ウェハの口径に関係なく、チップトレイ10の装填が可能な共通のウェハ研削装置30を用いて半導体チップ20の裏面研削が可能となり、製造工程の効率化が図れる。

【0038】さらに、チップトレイ10の収納溝12の深さ寸法を、半導体チップ20の裏面研削の仕上がり寸法に等しく設定すれば、裏面研削が完了した状態で、チップトレイ10が、研削工具面31aに対して非接触となるため、同じチップトレイ10を反復して使用することが可能になり、経済性も高くなる。

【0039】なお、図2に例示された研削装置において、プレッシャプレート33等におけるチップトレイ10の吸着面に、研削対象の半導体ウェハの凹凸と逆の凹凸を形成して、プレッシャプレート33から研削対象の半導体ウェハに対する押圧力が半導体ウェハの凹凸に影響されずに均一に作用するようにして、ウェハ状態で均一な裏面研削を行うようにしてもよい。

【0040】また、研削対象の半導体ウェハと同じ輪郭寸法の半導体ウェハに、研削対象の半導体ウェハの凹凸と逆の凹凸および真空吸着孔を形成して押圧治具として用いることで、半導体ウェハの凹凸に影響されずに均一に作用するようにして、ウェハ状態で均一な裏面研削を行うようにしてもよい。この場合も、押圧治具として用いられる半導体ウェハはウェハプロセス用の良品である必要はなく、輪郭や厚さ寸法等の外観形状が押圧治具として使用可能なものであればよい。

【0041】次に、上述のような本実施の形態の裏面研削にて得られて半導体チップ20の実際の機器への実装例を示す。

【0042】図5は、たとえば、液晶ドライバICとしての機能を持つ半導体チップ20に本実施の形態の裏面研削を施した後、テープキャリアパッケージ40に封止して液晶パネル50に実装した構成の一例を示す断面図であり、図6は、その平面図である。

【0043】すなわち、テープキャリアパッケージ40は、絶縁テープ41の中央の開口部42の周囲に略放射状に複数のリードパターン43が形成され、このリードパターン43の開口部42内に突出した内端部43aには、半導体チップ20のバンパ電極21に電氣的に接続されている。開口部42には、封止樹脂44が充填され、リードパターン43の内端部43aとバンパ電極21の接続部位を封止している。

【0044】このようなテープキャリアパッケージ40における一部のリードパターン43の外端部43bは、液晶パネル50の周辺部に露出したITO等の透明電極51に電氣的に接続され、反対側の外端部43cは図示しない外部回路に接続されることにより液晶パネル50を構成する複数の画素の各々の動作制御等を行う。

【0045】ここで、液晶パネル50を用いる機器の小型化、低価格化等に伴って当該液晶パネル50に対する薄型化、製造コスト削減の要求が一層強くなっており、液晶パネル50の厚さ寸法も1の低コストでの削減が必要となっている。たとえば厚さ寸法も1を数百 $\mu\text{m}$ 以下程度に削減する場合、周辺部に配置されるテープキャリアパッケージ40の半導体チップ20の厚さ寸法も2の削減も同程度のオーダで必要となる。

【0046】上述のような本実施の形態の裏面研削によれば、このような半導体チップ20の厚さ寸法も2の数  
10 百 $\mu\text{m}$ 以下程度への削減を、上述のように、低コストで精度良く実現でき、液晶ドライバICとしての半導体チップ20を含めた液晶パネル50の薄型化、低コスト化を実現可能となる。

【0047】以上本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0048】たとえば、上述の説明では、半導体チップ20における凹凸の例として、バンプ電極21の場合を  
20 例にとって説明したが、メモリやロジックの1チップ化のために、半導体チップ20の表面(素子形成面)での凹凸が大きな製品等に広く適用することができる。

【0049】

【発明の効果】複数の半導体チップを保持治具に収納して当該半導体チップの素子形成面と反対側の裏面の研削を一括して実行する工程により、半導体チップの裏面研削による薄型化を精度よく行うことが可能となる。

【0050】複数の半導体チップを保持治具に収納して当該半導体チップの素子形成面と反対側の裏面の研削を  
30 一括して実行する工程により、ウェハプロセスでのウェハ径等による制約を受けることなく、半導体チップの裏面研削による薄型化を精度よく行うことが可能となる。

【0051】複数の半導体チップを半導体ウェハからなる保持治具に収納して当該半導体チップの素子形成面と反対側の裏面の研削を一括して実行する工程により、既存のウェハ研削装置等の設備を改変することなく、そのまま用いることで、低コストにて半導体チップの裏面研削による薄型化を精度よく行うことが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体装置の製造方法に用いられる収納治具の構成の一例を示す平面図である。

【図2】本発明の一実施の形態である収納治具を用いて

本発明の一実施の形態である半導体装置の製造方法を実施するウェハ研削装置の構成の一例を示す断面図である。

【図3】本発明の一実施の形態である半導体装置の製造方法の作用の一例を示すフローチャートである。

【図4】(a)～(f)は、本発明の一実施の形態である収納治具の製作方法の一例を工程順に示す断面図である。

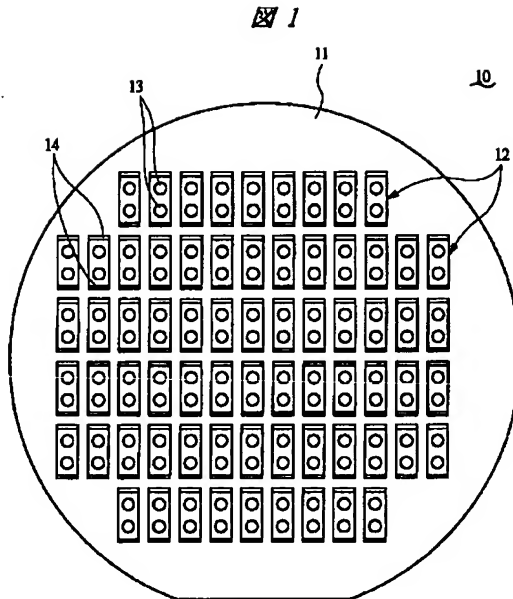
【図5】本発明の一実施の形態である半導体装置の製造方法にて得られた半導体チップの液晶パネルへの実装例を示す断面図である。

【図6】本発明の一実施の形態である半導体装置の製造方法にて得られた半導体チップの液晶パネルへの実装例を示す平面図である。

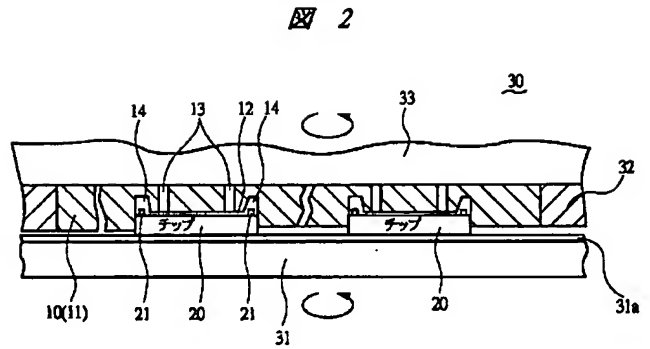
【符号の説明】

- 10 チップトレイ
- 11 トレイ基板
- 12 収納溝
- 13 真空吸着孔
- 14 逃げ溝
- 15 フォトリソ膜
- 15a 開口部
- 16 フォトリソ膜
- 16a 開口部
- 17 フォトリソ膜
- 17a 開口部
- 20 半導体チップ
- 21 バンプ電極
- 30 ウェハ研削装置
- 31 ベースプレート
- 31a 研削工具面
- 32 ウェハ保持治具
- 32a 開口部
- 33 プレシヤプレート
- 40 テープキャリアパッケージ
- 41 絶縁テープ
- 42 開口部
- 43 リードパターン
- 43a 内端部
- 43b 外端部
- 43c 外端部
- 44 封止樹脂
- 50 液晶パネル
- 51 透明電極

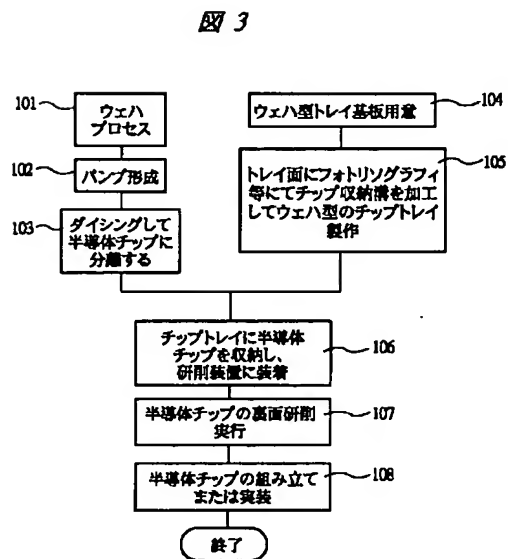
【図1】



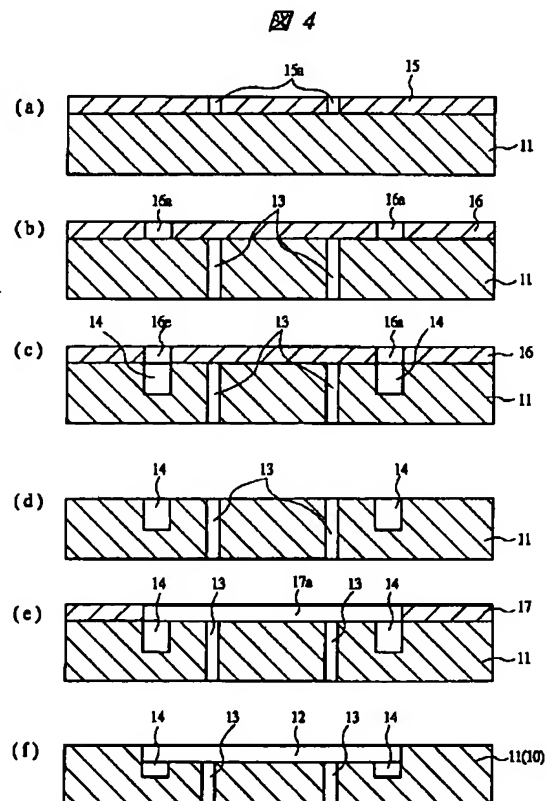
【図2】



【図3】



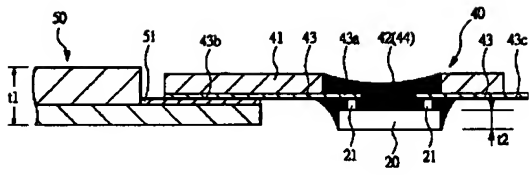
【図4】





【図5】

図5



【図6】

図6

